

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 18 日 (18.03.2004)

PCT

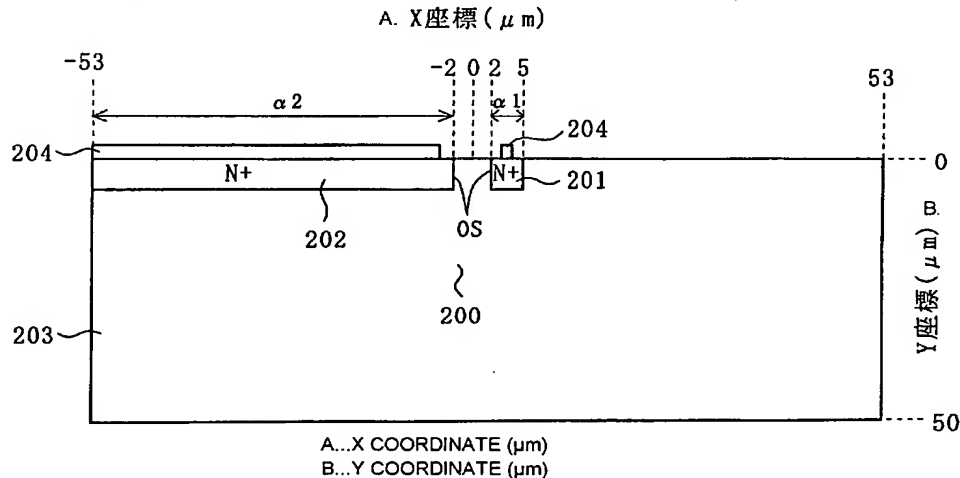
(10) 国際公開番号
WO 2004/023555 A1

- (51) 国際特許分類⁷: H01L 27/04, 29/861, 29/80, 29/72 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/011419 (75) 発明者/出願人 (米国についてのみ): 浅野 哲郎
(22) 国際出願日: 2003 年 9 月 8 日 (08.09.2003) (ASANO, Tetsuro) [JP/JP]; 〒370-0536 群馬県 邑楽
(25) 国際出願の言語: 日本語 郡 大泉町古氷 1 0 6-2 7 Gunma (JP). 榑原 幹人
(26) 国際公開の言語: 日本語 (SAKAKIBARA, Mikito) [JP/JP]; 〒360-0204 埼玉県
大里郡 妻沼町中央 2 1-1-3 1 5 Saitama (JP). 平井
(30) 優先権データ: 特願2002-262844 2002 年 9 月 9 日 (09.09.2002) JP 利和 (HIRAI, Toshikazu) [JP/JP]; 〒370-0523 群馬県
(71) 出願人 (米国を除く全ての指定国について): 三洋電 邑楽郡 大泉町吉田 9 8 6-5 Gunma (JP).
機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP];
〒570-8677 大阪府 守口市 京阪本通二丁目 5 番 5 号
Osaka (JP).
- (74) 代理人: 岡田 敬 (OKADA, Kei); 〒373-0842 群馬県 太
田市 細谷町 1 7 0-1 Gunma (JP).
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

[続葉有]

(54) Title: PROTECTIVE DEVICE

(54) 発明の名称: 保護素子



(57) Abstract: Problems A microwave FET is small in the intrinsic Schottky junction capacitance or in the intrinsic PN junction capacitance, and those junctions are weak against static electricity. Connecting a protective diode cannot be a solution for a microwave FET, since it causes an increase in the parasitic capacitance, thereby deteriorating the high frequency characteristics of the microwave FET. Means for solving the problems A protective device composed of a first N⁺ region, an insulating region and a second N⁺ region is connected in parallel between two terminals of a device to be protected which has a PN junction, a Schottky junction or a capacitance. Since it is possible to cause an electric discharge between the adjacent first and second N⁺ regions, the electrostatic energy getting to the operating region of the FET can be reduced without increasing the parasitic capacitance.

(57) 要約: 課題マイクロ波FETでは、内在するショットキ接合容量またはPN接合容量が小さく、それらの接合が静電気に弱い。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手

[続葉有]

明 細 書

保護素子

発明の属する技術分野

本発明は、保護素子に関し、特に被保護素子の高周波特性を劣化させずに静電破壊電圧を大幅に向上させる保護素子に関する。

従来の技術

第 1 1 図に、接合または容量を有する半導体装置の等価回路図を示す。

第 1 1 図 (A) は、GaAs MESFET、第 1 1 図 (B) は、バイポーラトランジスタ、第 1 1 図 (C) は、MOSFET を示す等価回路図である。

このように、どのような半導体デバイスも、静電破壊電圧を考えると、図の如くダイオード、容量、抵抗（高周波デバイスの場合はインダクタを含むこともある）から構成される等価回路で表現できる。

また、このダイオードは、PN 接合やショットキ接合を表す。例えば GaAs MESFET のダイオードはショットキーバリアダイオードであり、バイポーラトランジスタのダイオードは PN 接合ダイオードである。

従来の半導体装置において、一般に静電気からデバイスを保護するには、静電破壊しやすい PN 接合、ショットキ接合、容量を含むデバイスに、静電破壊保護ダイオードを並列に接続するという手法が考えられる。

発明が解決しようとする課題

上述の如く、一般に静電気からデバイスを保護するには、静電破壊しやすい、PN 接合、ショットキ接合、容量を含むデバイスに、静電破壊保護ダイオードを並列に接続するという手法が考えられる。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化

を招き、その手法を取ることができなかった。

このため、これらのマイクロ波通信用デバイスは、他の音響用、映像用、電源用デバイスと異なり、これらのデバイスに内在するショットキ接合容量またはPN接合容量、ゲートMOS容量が小さく、それらの接合が静電気に弱いという問題があった。また、マイクロ波集積回路に集積化される容量も容量値が小さく、絶縁破壊に弱いという問題があった。

課題を解決するための手段

本発明は上述した諸々の事情に鑑み成されたもので、第1に、第1の高濃度不純物領域と、第2の高濃度不純物領域と、前記第1および第2の高濃度不純物領域の間に当接して配置された絶縁領域とを有し、前記第1および第2の高濃度不純物領域を2端子として、PN接合またはショットキ接合を有する被保護素子の2端子間に並列に接続し、前記被保護素子の2端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることにより解決するものである。

第2に、第1の高濃度不純物領域と、第2の高濃度不純物領域と、前記第1および第2の高濃度不純物領域の間に当接して配置された絶縁領域とを有し、前記第1および第2の高濃度不純物領域を2端子として、容量を構成する被保護素子の2端子間に並列に接続し、前記被保護素子の2端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることにより解決するものである。

発明の実施の形態

以下に本発明の実施の形態を第1図から第10図を用いて詳細に説明する。

第1図は保護素子を示す概要図である。

本明細書における保護素子200とは、図の如く、近接する第1の高濃度不純物領域201と第2の高濃度不純物領域202の2端子間に絶縁領域203を配

置した素子である。第1および第2の高濃度不純物領域201、202は、基板201にイオン注入及び拡散により設けられる。本明細書においては、以降これら高濃度不純物領域を、第1N+型領域201、第2N+型領域202として説明する。第1および第2N+型領域201、202は、静電エネルギーを通せる距離、例えば4 μ m程度離間して設けられ、その不純物濃度は、共に $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。また、第1および第2N+型領域201、202の間には絶縁領域203が当接して配置される。ここで、絶縁領域203とは、電氣的に完全な絶縁ではなく、半絶縁性基板の一部203a、または基板201に不純物をイオン注入して絶縁化した絶縁領域203bである。また、絶縁領域203の不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下程度、抵抗率は、 $1 \times 10^3 \Omega \text{ cm}$ 以上が望ましい。

絶縁領域203の両端に当接して高濃度不純物領域201、202を配置し、2つの高濃度不純物領域201、202の離間距離を4 μ m程度にすると、2つの高濃度不純物領域201、202がそれぞれ接続する被保護素子の2端子間に向かって外部より印加される静電エネルギーを、絶縁領域203を介して放電することができる。

この2つのN+型領域の離間距離4 μ mは、静電エネルギーを通すのに適当な距離であり、10 μ m以上離間すると保護素子間での放電が確実でない。N+型領域の不純物濃度および絶縁領域の抵抗値も、同様である。

通常のFET動作では静電気のように高い電圧が印加されることがないため、4 μ mの絶縁領域を信号が通ることは無い。またマイクロ波のような高周波でも同様に4 μ mの絶縁領域を信号が通ることは無い。従って通常の動作では、保護素子は特性に何ら影響を及ぼさないため、存在しないのと同じである。しかし静電気は瞬間的に高い電圧が印加される現象であり、そのときは4 μ mの絶縁領域を静電エネルギーが通り、高濃度不純物領域間で放電する。また絶縁領域の厚みが10 μ m以上になると、静電気にとっても抵抗が大きく放電しにくくなる。

これら、第1N+型領域201および第2N+型領域202を、被保護素子の

2つの端子間に並列に接続する。第1および第2 N+型領域201、202はそのまま保護素子200の端子としてもよいし、更に金属電極204を設けても良い。

第2図および第3図に、金属電極204を設ける場合を示す。この金属電極204は、被保護素子である例えばMESFET100の端子と接続するボンディングパッド、またはボンディングパッドに接続する配線と接続する。第2図は、第1および第2 N+型領域201、202とショットキ接合を形成する金属電極204であり、第3図はオーミック接合を形成する金属電極204である。ここでは便宜上、ショットキー接合の金属電極204s、オーミック接合の金属電極204oとして説明する。

第2図(A)は、金属電極204sが、第1 N+型領域201および／又は第2 N+型領域202表面とショットキ接合を形成するものである。マスク合わせ精度及び両N+領域201、202の抵抗分を考慮し、絶縁領域203端部から0.1 μ mから5 μ m離間して、第1、第2 N+型領域201、202表面に設けられる。5 μ m以上離間すると抵抗分が大きく静電気が通りにくくなる。金属電極204sは、第1、第2 N+型領域201、202上のみに設けられても良いし、その一部が、半絶縁基板101に延在され基板表面とショットキ接合を形成しても良い。

また、第2図(B)、第2図(C)の如く、第1、第2 N+型領域201、202上に、保護用窒化膜などの縁膜膜205を介して金属電極204sを設けても良い。この場合、金属電極204sは半絶縁基板101上に延在され、基板101を介して第1、第2 N+型領域201、202と接続することになる。更に第2図(D)の如く、両N+型領域201、202の上には金属層が設けられず、その外側の半絶縁基板101と金属電極204sがショットキ接合を形成する構造であってもよい。

第2図(B)、第2図(C)、第2図(D)の場合すべて、金属電極204sは第1、および／又は第2 N+型領域201、202とは直接接続されない。この

ように金属電極 204s は第 1 および／または第 2 の N+ 型領域 201、202 端部から 0 μ m から 5 μ m 程度外側で基板とショットキ接合を形成する構造でもよい。すなわち、第 2 図 (B)、第 2 図 (C)、第 2 図 (D) の如く第 1、第 2 N+ 型領域 201、202 と金属電極 204s は接する必要はなく、5 μ m 以内であれば半絶縁基板を介して N+ 型領域と金属電極 204s とは十分な接続を確保できる。

一方第 3 図には、第 1 及び／又は第 2 N+ 型領域とオーミック接合を形成する金属電極 204o を示す。

金属電極 204o は、前記第 1 および／又は第 2 N+ 型領域 201、202 とオーミック接合を形成してもよい。半絶縁基板 101 と金属電極 204o とはオーミック接合を形成することはできないので、この場合は隣接する基板 101 上に金属電極 204o が延在することはない。金属電極 204o は、被保護素子のボンディングパッド（またはボンディングパッドに接続する配線）120 と接続させるが、オーミック接合の場合は、図の如く、他の金属層 206 を介して金属電極 204o とパッド（または配線）120 と接続させる。

オーミック接合の方がショットキ接合より抵抗分が小さく、静電気を通しやすい。その意味ではオーミック接合の方がショットキ接合より静電破壊からの保護効果は大きい。

しかしオーミック接合は、オーミック電極金属 204o が深く基板内部まで拡散することが多く、高濃度層の深さ以上にオーミック電極金属 204o が達すると、基板の半絶縁領域とオーミック電極金属 204o が接触することになり、このときは逆に保護素子 200 自身が静電破壊しやすくなる。

例えば第 1 N+ 領域 201、第 2 N+ 領域 202 とともにオーミック接合による金属が設けられ、オーミック接合どうしの距離が 10 μ m として、オーミック電極金属 204o が N+ 領域 201、202 の深さ以上に基板の半絶縁領域まで拡散していたとすると、N+ 領域の深さより深い部分ではオーミック接合—絶縁領域—オーミック接合の構造ができており、この構造は静電エネルギーに弱いことが

わかっているため、このとき保護素子自身が静電破壊してしまう恐れが出てくる。

従ってオーミック電極金属 204 がこれら 2 つの N+ 領域の深さ以上に基板の半絶縁領域まで拡散してしまう場合は、ショットキ接合でなければならない、オーミック電極金属 204 が N+ 領域の深さにまで達しない場合はオーミック接合の方が保護効果大きい。

また、第 3 図 (B) の如く、保護素子 200 の 2 端子が共に同じ金属電極構造である必要はなく、第 1 および第 2 N+ 型領域が、それぞれ単独に、第 2 図および第 3 図に示す構造を有していても良い。更に一方の端子は金属電極 204 を有し、他方の端子は金属電極 204 を設けなくても良いが、抵抗分を小さくするため、できるだけ設けた方が良く、その分、保護効果が増す。

尚、これら金属電極 204 は、ボンディングパッドの一部またはボンディングパッドに接続する配線の一部であっても良く、後に詳述するがこれらを利用することで、保護素子 200 を接続することによるチップ面積の増大を防ぐことができる。

第 4 図は、保護素子の接続例を示す第 1 の実施形態であり、被保護素子として GaAs MESFET を例に説明する。第 4 図 (A) は平面図、第 4 図 (B) は第 4 図 (A) の A-A 線断面図であり、第 4 図 (C) は第 4 図 (A) の等価回路図である。

第 4 図 (A)、第 4 図 (B) のごとく、被保護素子 100 は、MESFET であり、半絶縁基板 101 である GaAs 表面に設けた動作層 102 とショットキ接合を形成するゲート電極 105 と、動作層 102 両端に設けた高濃度不純物領域からなるソース領域 103 およびドレイン領域 104 と、その表面にオーミック接合を形成するソース電極 106 およびドレイン電極 107 とを有する。ここで、各電極が接続する動作層 102、ソースおよびドレイン領域 103、104 を FET の動作領域 108 と称し、第 4 図 (A) では破線で示す。

本明細書においては、FET 動作領域 108 内のゲート電極 105、ソース電極 106、ドレイン電極 107 は、ゲート配線 112、ソース配線 113、ドレ

イン配線 1 1 4 を介してゲートパッド G P、ソースパッド S P、ドレインパッド D P とそれぞれ接続する、とする。また、ゲート配線 1 1 2、ソース配線 1 1 3、ドレイン配線 1 1 4 が集束し、対応する各パッドに至る部分をゲート端子 G、ソース端子 S、ドレイン端子 D と称する。

端子について、ここでの図示は省略するが、被保護素子 1 0 0 に、ゲートパッド G P、ソースパッド S P、ドレインパッド D P すべてを具備していなくてもよく、パッドは配置されていないが端子は存在する場合を含むとする。例えば、2 個の F E T を集積化した 2 段アンプ M M I C においては、前段 F E T のドレインと後段 F E T のゲートには、パッドは存在しないが端子は存在する、というような場合である。

各配線 1 1 2、1 1 3、1 1 4 は金属配線に限らず、N + 層による抵抗なども含む。また動作領域 1 0 8 内の各電極に対応する各ボンディングパッド S P、D P、G P は、一様な配線だけにより接続しているとは限らず、配線途中に抵抗や容量、インダクタなどが挿入されている場合も含む。すなわち D C、A C、高周波、何らかの電氣的信号が、各動作領域内 1 0 8 の電極と相当する各ボンディングパッドの間を伝わる、すべての場合を含むとする。

ここでは一例として、ゲート電極 1 0 5、ソース電極 1 0 6 およびドレイン電極 1 0 7 はそれぞれ金属配線 1 1 2、1 1 3、1 1 4 により延在されゲートパッド G P、ソースパッド S P、ドレインパッド D P と接続する。

M E S F E T においては、ゲートショットキ接合容量の小さいゲート端子 G - ソース端子 S 間またはゲート端子 G - ドレイン端子 D 間に、ゲート端子 G 側をマイナスにしてサージ電圧を印加する場合は最も静電破壊に弱い。この場合、動作領域 1 0 8 と動作領域 1 0 8 表面に設けられたゲート電極 1 0 5 との界面に形成されるショットキバリアダイオード 1 1 5 に対して逆バイアスに静電気が印加される状態となる。

第 4 図 (B)、第 4 図 (C) の如く、G a A s M E S F E T 1 0 0 において、静電破壊電圧を考えるとゲートショットキ接合は逆バイアス状態である。つ

まり、そのときの等価回路はゲート端子G－ソース端子S間およびゲート端子G－ドレイン端子D間に、ショットキバリアダイオード115が接続された回路となる。

静電破壊からの保護は、弱い接合であるゲート電極105のショットキ接合にかかる静電エネルギーを軽減すれば良い。そこで、本実施形態では、MESFET100の2端子間に並列に上記の保護素子200を接続し、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護することとした。

本実施形態では、第4図(A)、第4図(C)の如く、ソース端子S－ゲート端子Gの2端子間となるソースパッドSP－ゲートパッドGP間と、ドレイン端子D－ゲート端子Gの2端子間となるドレインパッドDP－ゲートパッドGP間に、保護素子200をそれぞれ並列に接続する。これにより、2端子が接続するボンディングパッドから印加された静電エネルギーを各配線120を使用して、保護素子200内部で、一部放電させることができる。すなわち、静電破壊強度が最も弱いFET動作領域108上の、ゲートショットキ接合に至る静電エネルギーを減少させ、FET100を静電破壊から保護することができる。ここでは、ゲート端子G－ドレイン端子D間、およびゲート端子G－ソース端子S間の両方に保護素子200を接続して放電させるが、どちらか一方だけでもよい。

第4図(A)の保護素子のB－B線断面図は、第2図(A)と同様である。このように、本明細書において保護素子200の接続とは、被保護素子100が形成される半絶縁性基板101表面に、4 μ mの離間距離をもって第1N+型領域201、および第2のN+型領域202を注入・拡散により形成し、第1N+型領域201をFETの1つの端子と接続し、第2のN+型領域202をFETの他の端子と接続することをいい、被保護素子であるMESFET100と保護素子200は同一チップに集積化される。尚、基板表面が半絶縁性でない場合は、不純物イオン注入による絶縁化領域203が両N+型領域201、202の間に形成される。

また、本明細書においては説明の便宜上、F E T 1 0 0 の 1 つの端子であるゲート端子 G に接続する保護素子 2 0 0 の端子を第 1 N + 型領域 2 0 1 とし、他の端子となるソース端子 S およびドレイン端子 D に接続する保護素子 2 0 0 の端子を第 2 N + 型領域 2 0 2 として説明する。つまり、第 1 図では、F E T 1 0 0 に接続する保護素子 2 0 0 が 2 つあり、それぞれの第 1 N + 型領域 2 0 1 が金属電極 2 0 4 を介してゲートパッド G P に接続し、第 2 N + 型領域 2 0 2 が金属電極 2 0 4 を介してドレインパッド D P およびソースパッド S P に接続する。金属電極 2 0 4 と第 1 および第 2 N + 型領域 2 0 1 、2 0 2 はショットキ接合を形成し、金属電極 2 0 4 の一部は半絶縁基板 1 0 1 に延在され基板表面とショットキ接合を形成する。尚金属電極 2 0 4 の構造は、一例であり第 2 図および第 3 図のいずれであってもよい。

すなわち、この保護素子 2 0 0 は、各パッドに接続する配線 1 2 0 を介して 1 つの端子となる第 1 N + 型領域 2 0 1 をゲートパッド G P に、もう 1 つの端子となる第 2 N + 型領域 2 0 2 をソースパッド S P およびドレインパッド D P に接続しており、F E T の接合であるゲート端子 G - ソース端子 S 間およびゲート端子 G - ドレイン端子 D 間に並列に接続されている。

これにより、ゲート端子 G - ソース端子 S 間およびゲート端子 G - ドレイン端子 D 間に印加された静電エネルギーを、保護素子 2 0 0 により一部放電させることができる。つまり、静電破壊強度が最も弱い F E T 動作領域上のゲートショットキ接合に至る静電エネルギーを大きく減衰させ、F E T を静電破壊から保護することができる。放電させるのはゲート端子 G - ソース端子 S 間、およびゲート端子 G - ドレイン端子 D 間である。またどちらか一方でもよい。つまり、この構造により、保護素子を用いない従来構造と比較して、F E T の静電破壊電圧を大幅に向上させることができる。

従来では、ゲート端子 G - ソース端子 S 間およびゲート端子 G - ドレイン端子 D 間に印加された静電エネルギーは、動作領域 1 0 8 に 1 0 0 % 伝わっていたが、本発明によれば、各配線またはボンディングパッドを利用して、静電エネルギー

を一部保護素子 200 にバイパスさせ、保護素子 200 内部で放電させることができる。これにより動作領域 108 に伝わる静電エネルギーを、動作領域 108 のゲート電極－ソース電極間およびゲート電極－ドレイン電極間の静電破壊電圧を越えない程度まで減衰することができる。

第 5 図には、保護素子の 1 つの端子の金属電極にボンディングパッドを利用した例を示す。第 5 図 (A) は平面図であり、第 5 図 (B) は、C－C 線断面図である。

第 4 図では、ソースパッド SP およびドレインパッド DP から配線 120 を引き出し、その配線 120 に保護素子 200 を接続した例を示した。第 5 図では、ソースパッド SP およびドレインパッド DP 周辺に、各ボンディングパッドの最下層のショットキ金属層 210 とショットキ接合を形成する第 2N+ 型領域 202 を設けて、ソースパッド SP、ドレインパッド DP の一部を第 2N+ 型領域 202 に接続する金属電極 204 として利用する構造である。第 1N+ 型領域 201 は、第 2N+ 型領域 202 と近接するように配置され、ゲートパッド GP に接続する配線 120 と接続させる。このように、FET の他の端子と接続するソースパッド SP、ドレインパッド DP に直接第 2N+ 型領域 202 を接続し、各パッドに近接して保護素子 200 を配置すると、ソース、ドレインパッド SP、DP から直接保護素子 200 に静電エネルギーを放電できるため静電破壊電圧を向上させる効果が大きく、更にパッド周辺のスペースを有効利用できるため、保護素子 200 を追加することによるチップ面積の増大を防ぐことができる。

また図示はしないが、ゲートパッド GP に直接第 1N+ 領域 201 を接続し、更に第 2N+ 型領域 202 は第 1N+ 型領域 201 と近接するように配置し、且つソースパッド SP、ドレインパッド DP に接続する配線 120 と接続させると、ゲートパッド GP から直接保護素子 200 に静電エネルギーを放電でき、同様に静電破壊電圧を向上させる効果が大きく、保護素子 200 追加によるチップ面積の増大も防げる。

第 6 図は、信号経路途中に保護素子 200 を接続したものである。上述の如く

ゲート電極 105 のショットキ接合が最も静電破壊に弱く、実際に破壊するのは動作領域 108 のゲート電極 105 部分が最も多い。そこで、第 6 図の如くゲートパッド GP から動作領域 108 のゲート電極 105 に至る信号経路途中に保護素子 200 を接続することで、最も効果的に静電破壊から保護することができる。

この場合、第 1 N+ 型領域 201 は、ゲートパッド GP から動作領域 108 に至るゲート配線 112 の一部に接続する。第 2 N+ 型領域 202 は、ソースパッド SP およびドレインパッド DP または各パッドに接続する配線 120 と接続する。例えば第 6 図のゲートーソース間では、第 2 N+ 型領域 202 を第 1 N+ 型領域 201 と近接して配置するため、第 2 N+ 型領域 202 の部分までソースパッド SP から配線 120 が延在される。

例えば、ゲート配線 112 をソースパッド SP またはドレインパッド DP に近接するように引き回して動作領域 108 に接続すれば、信号経路途中で、しかも FET のパッドに近接して保護素子 200 を接続することができ、静電エネルギーからの保護により効果的である。

また、保護素子 200 は、端子である第 1 および第 2 N+ 型領域 201、202 の距離が長いほうが効果的である。この距離は例えば $10\ \mu\text{m}$ 以上が好ましいので、被保護素子のパッドや配線の一部を保護素子 200 の金属電極 204 として利用するとよい。例えばパッドの少なくとも 1 辺に沿って保護素子を接続すれば、パッド周辺のスペースを活用して効果的に接続することができる。

ここで、FET ではゲートショットキ接合、及びゲート PN 接合が最も静電破壊に弱いため、ゲート端子 Gーソース端子 S 間、ゲート端子 Gードレイン端子 D 間に保護素子を接続する一例を示したが、ソース端子 Sードレイン端子 D 間に保護素子を並列に接続してもよい。

第 7 図には、その概念図を示す。接続例は一例である。例えばこの場合、ソースパッド SP に接続する保護素子 200 の端子を第 2 N+ 型領域 202 とし、ドレインパッド DP に接続する保護素子 200 の端子を第 1 N+ 型領域 201 とする。第 2 N+ 型領域は、パッド周辺に設けられ、ソースパッド SP を金属電極 2

04として利用している。

この等価回路図は第7図(B)である。この場合、ゲート端子Gーソース端子S間のショットキバリアダイオードとゲート端子Gードレイン端子D間のショットキバリアダイオードが直列に接続したものを保護している。これは、例えばスイッチ回路装置のようにソース電極とドレイン電極が両方とも入出力端子として信号の出入り口になっている場合などに、この保護素子の接続は効果がある。

一般にGaAsMESFETは衛星放送、携帯電話、無線ブロードバンド用など、GHz帯以上のマイクロ波用途に用いられる。従って良好なマイクロ波特性を確保するため、ゲート長もサブミクロンオーダーとなっており、ゲートショットキ接合容量が極めて小さく設計されている。そのため静電破壊に非常に弱く、GaAsMESFETを集積化したMMICを含め、その取り扱いに細心の注意が必要であった。さらに、音響、映像、電源用など周波数の低い一般民生用半導体において、静電破壊電圧を上げるため広く採用されている保護ダイオードは、PN接合を有するため、その使用により寄生容量が最小でも数百fF以上と大きく増加してしまうため、GaAsMESFETのマイクロ波特性を大きく劣化させ、使用できなかった。

しかし本発明の静電破壊保護素子はPN接合がなく、容量は大きくても数十fF以下となるため、GaAsMESFETのマイクロ波特性を全く劣化させることなく、静電破壊電圧を大きく向上させることができるものである。

また、第8図、第9図は、保護素子の他の接続例を示す等価回路図である。前述の如く本発明の保護素子はショットキ接合に限らずPN接合も保護することができる。

第8図は、シリコンバイポーラトランジスタである。動作領域302は、基板に例えばN型のコレクタ領域、P型のベース領域、N型のエミッタ領域を設け、コレクタ電極305、ベース電極304、エミッタ電極303を接続したものである。コレクタ電極305、ベース電極304、エミッタ電極303は動作領域外で集束してコレクタ端子C、ベース端子B、エミッタ端子Eとなる。またコレ

クタ端子C、ベース端子B、エミッタ端子EにはそれぞれコレクタパッドCP、ベースパッドBP、エミッタパッドEPが接続する。

エミッタパッドEP、ベースパッドBP、コレクタパッドCPから引き出した配線120を金属電極204として保護素子200を接続する。また、第5図、第6図の如くパッドやパッドに接続する配線の一部を金属電極204として利用することにより、保護素子200の1方の端子をパッドまたは配線と直接接続してもよい。更に、例えばベース端子Bと接続するベースパッドから動作領域へ至る配線に、保護素子200の1端子を接続してもよい。尚、この場合基板はシリコン基板であるので、保護素子200の絶縁領域203は、不純物イオン注入による絶縁化領域203bである。

このようなNPNトランジスタでは、ベースーエミッタ間接合、ベースーコレクタ間接合がそれぞれPN接合であり、コレクターエミッタ間接合がNPN接合である。特に高濃度層同士の接続であるエミッターベース間が最も静電破壊に弱く、次いでエミッターコレクタ間が弱い接合である。集積回路においてベース端子Bが直接パッドに接続せず、エミッタ端子Eとコレクタ端子Cが直接パッドに接続している場合は、エミッターコレクタ間が最も静電破壊に弱くなる。

そこで、第8図(B)の如く、ベースーエミッタ間接合、ベースーコレクタ間接合、コレクターエミッタ間接合にそれぞれ並列に保護素子を接続している。これにより、1つの素子内の全てのPN接合を保護素子により保護することができる。コレクターエミッタ間接合に並列に保護素子を接続する場合は、NPN接合に保護素子を並列に接続したことになる。

この図においてはエミッタパッドEPには保護素子200が2つ接続している。このように同一パッドに対して複数の保護素子200が接続されてもよい。

第8図(C)は、被保護素子のエミッターコレクタ間のみに保護素子を接続した等価回路図である。エミッターコレクタ間は、ベースーエミッタ間の次に静電破壊に弱い。エミッタがGNDで、コレクタが出力端子となる場合が多く、このようなときはエミッターコレクタ間に保護素子を接続すると良い。ベースが入力

端子となる場合も多く、そのときはベース－エミッタ間に保護素子を入れると良い。

近年シリコンバイポーラトランジスタは急速に微細化、立体構造化が進み、寄生容量、寄生抵抗を大幅に低減することにより、従来GaAsデバイスでしか達成できなかったマイクロ波特性が得られるようになり、携帯電話、無線ブロードバンドのローノイズアンプやRFブロック用MMICなどのGHz帯のマイクロ波用途に広く使用されるようになった。従ってGaAsMESFET同様、良好なマイクロ波特性を確保するため、エミッタ幅もサブミクロンオーダーとなっており、エミッターベース接合容量、ベース－コレクタ接合容量が極めて小さく設計されている。そのため静電破壊に非常に弱く、その取り扱いに細心の注意が必要であった。さらに、音響、映像、電源用など周波数の低い一般民生用半導体において、静電破壊電圧を上げるため広く採用されている保護ダイオードは、PN接合を有するため、その使用により寄生容量が最小でも数百fF以上と大きく増加してしまうため、シリコンマイクロ波バイポーラトランジスタのマイクロ波特性を大きく劣化させ、使用できなかった。

しかし本発明の静電破壊保護素子はPN接合がなく、容量は大きくても数十fF以下となるため、シリコンマイクロ波バイポーラトランジスタのマイクロ波特性を全く劣化させることなく、静電破壊電圧を大きく向上させることができるものである。

次に、第9図を参照して、保護素子の接続例の第2の実施形態として、容量を例に説明する。

第9図(A)は、集積回路に内蔵される容量の平面図であり、第9図(B)は第9図(A)のD－D線断面図、第9図(C)は等価回路図である。この場合、埋め込み酸化膜402を設けたシリコン基板401表面に、絶縁化領域203bを挟んで第1N＋型領域201および第2N＋型領域202を設け、保護素子200とする。また、下層電極404および上層電極403が、第1N＋型領域201および第2N＋型領域202とそれぞれオーミック接合を形成する。上層電

極 4 0 3 および下層電極 4 0 4 は、誘電体となる層間酸化膜 4 0 5 を介して配置される。従来は、基板 4 0 1 に設けた絶縁化層 1 2 5 により、上層電極 4 0 3 と下層電極 4 0 4 の電位を分離するだけであったが、本実施形態の如く基板 4 0 1 に更に保護素子 2 0 0 を形成することにより、第 9 図 (C) の如く上層電極 4 0 3 と下層電極 4 0 4 の間に保護素子 2 0 0 を並列に接続した構造となる。一般に層間酸化膜 4 0 5 は薄く、容量の 2 つの端子である上層電極 4 0 3 一下層電極 4 0 4 間に外部より静電エネルギーが印加されたとき、層間酸化膜 4 0 5 が絶縁破壊されやすい。またマイクロ波集積回路に集積化される容量は容量値が小さく、尚いっそう絶縁破壊されやすい。従って保護素子 2 0 0 間で、外部から印加される静電エネルギーの一部を放電させ、層間に印加される静電エネルギーを低減することにより絶縁破壊から容量を保護することができる。

また、第 1 0 図は M O S F E T を示す。

動作領域 5 0 2 は、基板に例えば N 型のドレイン領域、N 型のソース領域、P 型のチャネル領域を設け、ドレイン電極 5 0 5、ソース電極 5 0 4、ゲート電極 5 0 3 を接続したものである。ドレイン電極 5 0 5、ソース電極 5 0 4、ゲート電極 5 0 3 は動作領域外で集束してドレイン端子 D、ソース端子 S、ゲート端子 G となる。またドレイン端子 D、ソース端子 S、ゲート端子 G にはそれぞれドレインパッド D P、ソースパッド S P、ゲートパッド G P が接続する。

ドレインパッド D P、ソースパッド S P、ゲートパッド G P から引き出した配線 1 2 0 を金属電極 2 0 4 として保護素子 2 0 0 を接続する。また、第 5 図、第 6 図の如くパッドやパッドに接続する配線の一部を金属電極 2 0 0 として利用することにより、保護素子 2 0 0 の 1 方の端子をパッドまたは配線と直接接続してもよい。更に、例えばゲート端子 G が接続するパッドから動作領域へ至る配線に、保護素子 2 0 0 の 1 端子を接続してもよい。尚、この場合基板はシリコン基板であるので、保護素子 2 0 0 の絶縁領域 2 0 3 は、不純物イオン注入による絶縁化領域 2 0 3 b である。

M O S F E T は、ゲート電極と動作領域との間にゲート絶縁膜が存在し、ゲー

トMOS容量を構成している。等価回路上はゲートソース間およびゲートドレイン間に、容量が存在していることになる。ゲート絶縁膜はスイッチングスピードを向上させるために、非常に薄く設けられており、ゲート容量が静電破壊に弱い。

そこで、第10図の如く、MOSFETのゲートソース間、およびゲートドレイン間に保護素子200を並列に接続することで、弱いゲートMOS容量を静電破壊から保護することができる。

また、第10図(C)の如く、例えばゲートソース間など、被保護素子の2端子間のいずれか1つに接続してもよい。

近年MOSFETはPC用マイクロプロセッサLSIやメモリ用LSIの高速化を図るため、微細化、立体構造化が進み、寄生容量、寄生抵抗を大幅に低減することにより、従来GaAsデバイスでしか達成できなかったマイクロ波特性が得られるようになり、携帯電話、無線ブロードバンドのパワーアンプやRFブロック用MMICなどのGHz帯のマイクロ波用途に広く使用されるようになった。従ってGaAsMESFET同様、良好なマイクロ波特性を確保するため、ゲート長もサブミクロンオーダーとなっており、ゲートMOS容量が極めて小さく設計されている。さらに、高速化を図るためゲート酸化膜も薄くなっていることも原因して、静電破壊に非常に弱く、その取り扱いに細心の注意が必要であった。さらに、音響、映像、電源用など周波数の低い一般民生用半導体において、静電破壊電圧を上げるため広く採用されている保護ダイオードは、PN接合を有しており、その使用により寄生容量が最小でも数百fF以上と大きく増加してしまうため、マイクロ波MOSFETのマイクロ波特性を大きく劣化させ、使用できなかった。

しかし本発明の静電破壊保護素子は、PN接合がなく、容量は大きくても数十fF以下となるため、マイクロ波MOSFETのマイクロ波特性を全く劣化させることなく、静電破壊電圧を大きく向上させることができるものである。

本発明の保護素子はPN接合、ショットキー接合または容量を有する被保護素

子の２端子間に接続することにより、保護素子内で静電エネルギーを放電させ、被保護素子の静電破壊耐圧を向上させるものである。すなわち、上述の例に限らずPN接合、ショットキ接合を有する全ての半導体素子に適用できるものである。また、接続例は一例であり、請求項に記載の範囲によってのみ、規定されるものである。

上述の被保護素子においては、従来ではいずれも被保護素子のいずれか２端子間の最低静電破壊電圧は２００Ｖ以下であった。しかし、本発明の保護素子を接続することにより、最低静電破壊電圧となる２端子間の静電破壊電圧を、保護素子接続前と比較して２０Ｖ以上向上させることができ、２００Ｖ以上とすることができる。

ここで、保護素子２００の形状及び接続位置について、さらに説明する。保護素子２００に静電気が印加されたときには静電気電流が発生すると考えられるので、保護素子２００に静電気電流を多く流せばより保護効果が向上する。すなわち、保護素子２００を流れる静電気電流をより多く流せるように保護素子２００の形状及び接続位置を考慮するとよい。

上述の如く、本実施形態の保護素子は、第１の高濃度不純物領域２０１と、第２の高濃度不純物領域を対向配置し、両領域周囲に絶縁領域２０３を配置した構造である。両領域を２端子として被保護素子に接続し、被保護素子の２端子間に印加される静電エネルギーを第１の高濃度不純物領域２０１と第２の高濃度不純物領域２０２間で放電させる。

第１２図の如く第１の高濃度不純物領域２０１は、第２の高濃度不純物領域２０２に対向する１つの側面と、逆側の側面とを有する。第２の高濃度不純物領域も同様に、第１の高濃度不純物領域２０１に対向する１つの側面と、逆側の側面を有する。両領域が互いに対向している１つの側面を対向面ＯＳと称する。

尚、以下第１の高濃度不純物領域は第１N+型領域２０１、第２の高濃度不純物領域は第２N+型領域２０２を例に説明するが、本実施形態の第２高濃度不純物領域２０２は１つの拡散領域に限らない。つまり、第１の高濃度不純物領域２

0 1 に対向配置され、静電エネルギーを放電するために利用されるすべての高濃度不純物領域を総称する。すなわち、第 2 の高濃度不純物領域 2 0 2 は、1 つの第 1 の高濃度不純物領域 2 0 1 に対向配置されていれば、1 つの不純物拡散領域から構成されてもよいし、分割された複数の不純物領域の集合であってもよい。

また、第 2 の高濃度不純物領域 2 0 2 は、複数種類に分かれている場合互いに直接は連続せず不連続になっていてもよい。つまり同じ被保護素子 1 0 0 の同じ端子に接続されていて、対向する第 1 の高濃度不純物領域 2 0 1 が共通である第 2 の高濃度不純物領域 2 0 2 は第 2 の高濃度不純物領域 2 0 2 上に金属電極がある場合、静電気による電圧により空乏層が金属電極に達して保護素子自体が破壊しない程度に十分高い不純物濃度を保っていれば、不純物濃度の違いがあってもよい。また、それらの不純物濃度の違い、サイズの違い、形状の違いなど何種類違いがあってもそれらを総称して第 2 の高濃度不純物領域 2 0 2 とする。

同様に、同じ被保護素子 1 0 0 の同じ端子に接続されていて、対向する第 2 の高濃度不純物領域 2 0 2 が共通である第 1 の高濃度不純物領域 2 0 1 は不純物濃度の違い、サイズの違い、形状の違いなど何種類あってもそれらを総称して第 1 の高濃度不純物領域 2 0 1 とする。

また、以下の絶縁領域 2 0 3 は、GaAs 基板の一部 (2 0 3 a) を例に説明するが、上述の如く基板に不純物をイオン注入して絶縁化した絶縁化領域 (2 0 3 b) でも同様に実施できる。

第 1 2 図は、ISE TCAD (ISE 社製 TCAD) で保護素子 2 0 0 の電圧－電流特性をデバイスシミュレーションしたときの断面モデルである。50 μ m 厚の GaAs 半絶縁基板上にドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、加速電圧 90 KeV のイオン注入とアニールにより第 1 N+領域 2 0 1、第 2 N+領域 2 0 2 を形成し、保護素子 2 0 0 を形成する。すなわち、この構造では第 1 N+型領域 2 0 1 と第 2 N+型領域 2 0 2 間および両領域の周囲がすべて絶縁領域 2 0 3 となる。

第 1 N+領域 2 0 1 は、第 1 2 図に示す如く両領域の対向面 OS に対して離間する方向の幅 $\alpha 1$ を 5 μ m 程度以下とし、具体的には 3 μ m とする。 $\alpha 1$ は狭け

れば狭いほどよいが、保護素子として機能する限界として $0.1 \mu\text{m}$ 以上は必要である。また、本実施形態では第2 N+型領域202と $4 \mu\text{m}$ 程度離間してほぼ平行に配置するが、放電しやすくするために平面パターンにおいて第1 N+型領域の先を尖らせた形状とし、すなわち、第2 N+型領域202との離間距離が変化するパターンであってもよい。 $\alpha 1$ を $5 \mu\text{m}$ 以下とする根拠については後述する。

第1 N+型領域201および第2 N+領域202には、図12の如く金属電極204が接続する。尚、金属電極204と第1および第2 N+型領域の接続方法には、図2および図3に示すものが考えられる。

第2 N+型領域202は、例えばパッドの下に設けられた拡散領域であり、ここではその幅 $\alpha 2$ は $51 \mu\text{m}$ とする。第1および第2 N+型領域のそれぞれに金属電極204を $1 \mu\text{m}$ ずつ内側に設けた。また、デバイスサイズとなる奥行き（例えばFETであればゲート幅）は $1 \mu\text{m}$ とする。

そして第1 N+領域201をプラス、第2 N+領域202をマイナスにして、 220 pF 、 0Ω で静電気電圧 700 V が印加されたことを想定して 1 A の電流を流すシミュレーションを行った。

第13図、第14図、第15図には、それぞれシミュレーションによる電子電流密度、ホール電流密度および再結合密度の分布を示す。単位はいずれも cm^{-3} である。尚、第13図には、上部に第12図に示した断面モデルを重ねて配置した。第14図および第15図も同様である。

第13図の電子電流密度分布において、 $p 1$ 領域が、第1 N+型領域201、第2 N+型202領域両方にまたがる領域の中で最も密度が高い領域である。電子電流とホール電流を合わせた電流がトータル電流であるがホール電流より電子電流の方が遥かに大きいので電子電流を電流の代表として、本実施形態では、第1および第2のN+型領域周辺、もしくは基板表面から、 $p 1$ の1割程度の電子電流密度となる $q 1$ 領域付近までを保護素子200の電流経路と定義する。 $q 1$ 領域付近までとした理由は、 $q 1$ 領域よりも電流密度が少ない領域では、動作に

影響しないと考えられるためである。

第 1 3 図からも明らかなように、 $\alpha 1$ の幅が狭いことにより電流は、第 1 N + 領域 2 0 1 の対向面 O S と逆の側面にも多く回り込んで流れている。この回り込み電流は静電気が印加されたときも同様に発生すると考えられる。

第 1 N + 領域 2 0 1 の外側にある q 1 領域は第 1 N + 領域 2 0 1 から最も遠い場所で、X 軸で $20\ \mu\text{m}$ 付近となっている。第 1 N + 領域 2 0 1 の外側の端の X 座標は第 1 2 図のとおり $5\ \mu\text{m}$ であり、第 1 N + 領域 2 0 1 の外側 $15\ \mu\text{m}$ までは、第 1 N + 領域 2 0 1、第 2 N + 領域 2 0 2 の両方にまたがる最も電子電流密度の高い領域の 1 割程度の電子電流が流れている。

第 1 4 図のホール電流も同様に第 1 N + 領域 2 0 1 の外側に回り込みがある。このホール電流密度分布において X 座標 $20\ \mu\text{m}$ 付近の q 2 領域のホール電流密度は、第 1 N + 領域 2 0 1、第 2 N + 領域 2 0 2 の両方にまたがる最も密度の高いホール電流密度の p 2 領域に対し 2 % 程度のホール電流密度となっている。

第 1 5 図の再結合も同様に第 1 N + 領域 2 0 1 の外側に回り込みがある。第 1 5 図の再結合密度分布において X 座標 $20\ \mu\text{m}$ 付近の q 3 領域の再結合密度は、第 1 N + 領域 2 0 1、第 2 N + 領域 2 0 2 の両方にまたがる最も密度の高い再結合密度の p 3 領域に対し 1 割程度となっている。

第 1 6 図は、上記の分布図を元に、第 1 N + 型領域 2 0 1 と第 2 N + 型領域 2 0 2 の周囲の絶縁領域 2 0 3 に形成される電流経路を示した模式図である。比較のために第 1 6 図 (A) に $\alpha 1$ と $\alpha 2$ が同等の幅で、 $51\ \mu\text{m}$ 前後と広い場合 (以下 a 構造と称する) の模式図を示す。第 1 6 図 (B) は、第 1 2 図に示す、第 1 N + 型領域 2 0 1 を第 2 N + 型領域 2 0 2 と比較して十分狭い幅 ($\alpha 1 \ll \alpha 2$: 以下 b 構造と称する) にした場合である。

尚、第 1 6 図 (A) の元になる分布図は、 $\alpha 1$ および $\alpha 2$ が等しいので左右対称に密度が分布している。a 構造については分布図の図示は省略し、模式図を示す。

第 1 6 図 (A) の如く $\alpha 1$ および $\alpha 2$ の幅が広い ($50\ \mu\text{m}$) の場合は、対向

面間および底面部付近に矢印の如く電流経路（ p_1 領域から q_1 領域付近まで）が形成される。本明細書では、図の如く基板表面から所定の深さに形成され、第 $1N+$ 領域 201 および第 $2N+$ 型領域 202 の対向面 OS の間と、両領域の底面部付近間の絶縁領域 203 に形成される電子電流およびホール電流の経路を第 1 の電流経路 I_1 と称する。すなわち、 a 構造の保護素子の電流経路は第 1 の電流経路 I_1 のみである。

一方、第 16 図（ B ）の如く、 α_1 を $5\mu m$ 程度まで狭くすると、電子電流及びホール電流は、対向面 OS 間と底面部付近に形成される第 1 の電流経路 I_1 に加えて、第 1 の電流経路 I_1 より深い領域に経路が形成される。この経路は、第 $1N+$ 領域 201 を回り込み、対向面 OS と逆側の、第 $1N+$ 型領域外側の側壁も利用して電子電流及びホール電流が移動し、 a 構造と比較して q_1 領域が下方に形成される。

本明細書では図の如く第 1 の電流経路 I_1 より深い領域に形成され、第 $2N+$ 型領域 202 から、第 $1N+$ 型領域 201 の対向面 OS とは逆側の側面に至る絶縁領域に形成される電子電流およびホール電流の経路を第 2 の電流経路 I_2 と称する。

第 16 図（ B ）において、第 2 の電流経路 I_2 は、第 $2N+$ 型領域 202 の幅が $50\mu m$ と十分広いため、第 $2N+$ 型領域 202 付近では広い底面部の水平方向に電流経路が形成される。

一方、第 $1N+$ 型領域 201 においては、幅 α_1 が前述の如く $5\mu m$ 程度と狭いため、第 $1N+$ 型領域 201 を回り込むような経路で電流が流れ、第 $1N+$ 型領域 201 の底面部だけでなく、対向面 OS と逆側の側面も電流経路となる。

すなわち、上記の図からも明らかなように a 構造の場合は保護素子の電流経路は、第 1 の電流経路 I_1 のみであるが、 b 構造の保護素子 200 は細い第 $1N+$ 領域 201 により第 2 の電流経路 I_2 を形成し、第 1 の電流経路 I_1 と第 2 の電流経路 I_2 の 2 つの電流経路を形成している。

第 2 の電流経路 I_2 は第 $1N+$ 領域 201 の外側の側面から電流が出入りして

いる。また、第2の電流経路 I 2 は第1の電流経路 I 1 に比べて、第1及び第2 N+型領域より深い領域を通り、迂回（遠回り）して第1 N+型領域 2 0 1 に達することで、絶縁領域 2 0 3 内に長い経路を得ることができる。これにより絶縁領域 2 0 3 内のトラップ（GaAs の場合 EL 2）を利用して伝導度変調効果の機会をより多く作ることができる。

すなわち、b 構造では、第2の電流経路 I 2 を設けることにより、第1の電流経路 I 1 のみの場合と比較して伝導度変調効率を向上させ、より多くの電流を流すことを可能にしている。第1および第2 N+型領域間を流れる電流値が増加することは、静電気が印加されたとき、静電気電流をより多く流せることになり、保護素子としての効果が増大する。

このように、故意に電流経路を長く迂回させることによりメインキャリアがその極性と反対の極性のキャリアと出会う機会を増やし伝導度変調効率を向上させる手法は、IGBT などの伝導度変調デバイスでは良く採用される手法であり、以下に詳述する。

一般に絶縁領域を絶縁領域たらしめているのがトラップの存在である。ドナートラップとは元々の性質としてプラス電荷を持ち、電子を捕らえると中性になり伝導度変調の媒体となり得るものであり、GaAs の場合は EL 2 がドナートラップである。また、不純物注入による絶縁化領域（2 0 3 b）にもトラップは存在する。

第17図に、第12図に示す構造のデバイスで、第1 N+型領域 2 0 1 をプラスにし第1 N+型領域 2 0 1—第2 N+型領域 2 0 2 間に印加する電圧を上げていったときの奥行き 1 μm での電圧—電流特性をシミュレーションした結果を示す。この図に示すとおりブレイクダウン電圧は 20～30 V である。

このように、保護素子 2 0 0 は 20～30 V でブレイクダウンし、それ以上の電圧が印加されるとバイポーラ動作となり伝導度変調が起きる。保護素子は、数百 V という静電気電圧が印加した場合にブレイクダウンさせて使用するの、保護素子 2 0 0 の動作状態は初期状態から伝導度変調が起きている。

この伝導度変調がより多く行われるとその分ブレークダウン後のなだれ増倍がより激しくなり電子-ホール生成再結合が盛んに行われるため電流がより多く流れる。

このように、保護素子 200 に第 2 の電流経路 I 2 を形成することにより、深い領域および対向面 OS と逆側の第 1 N+ 型領域 201 の外側方向での伝導度変調効率を向上させることができる。

また、第 2 の電流経路 I 2 設けるために第 1 N+ 型領域 201 の幅を $5\ \mu\text{m}$ 以下と狭めたため、第 1 の電流経路 I 1 においても第 1 N+ 型領域 201 付近の電子が混み合ってお互い反発し合い、a 構造に比べてより深い経路を主たるキャリアである電子が通るようになるため、その分第 1 の電流経路 I 1 自身も、従来より伝導度変調を多く受ける。

第 18 図に示すグラフを用いて、b 構造のトータルの電流値に対する第 2 の電流経路 I 2 の電流値の比率を求めた。これは第 1 N+ 型領域 201 をプラスとし、 $220\ \text{pF}$ 、 $0\ \Omega$ で約 $700\ \text{V}$ の静電気が印加されたことを想定し奥行き $1\ \mu\text{m}$ に $1\ \text{A}$ の電流を流したシミュレーションを行った場合の、表面から $2\ \mu\text{m}$ の深さの電子電流密度の X 座標依存性グラフである。

表面から $2\ \mu\text{m}$ の深さの電子電流密度において、第 1 N+ 型領域 201 直下に相当する電子電流密度を第 1 N+ 型領域 201 の X 方向の幅で積分してその値を第 1 の電流経路 I 1 分とし、第 1 N+ 型領域 201 より外側部分に相当する電子電流密度をその外側部分の X 方向の幅で積分した値を第 2 の電流経路 I 2 分とし、第 2 の電流経路 I 2 の電流値の比率を計算した。

その結果、トータルの電流値に対する第 2 の電流経路 I 2 の比率は $0.48(2.89 / (3.08 + 2.89))$ であり、第 1 の電流経路 I 1 と同等の電流値であることがわかる。

さらに、後に詳述するが b 構造の場合の第 1 の電流経路 I 1 自体が a 構造の第 1 の電流経路 I 1 よりも大きい電流値を有している。つまり、b 構造では、第 2 の電流経路 I 2 は自身の第 1 の電流経路 I 1 と同等であるので、トータルとして

a 構造よりもはるかに大きい電流が流れることになる。

尚、副次効果として上述の如く第 1 の電流経路 I 1 と第 2 の電流経路 I 2 を合わせて a 構造より電流経路が大幅に大きく広がるため、結晶内の温度が従来より下がり、その分電子、ホール移動度が上がって、その分電流をより多く流すことができる。

その結果、保護素子 200 全体としての電流値が増加するため、保護効果が高まるものである。

第 19 図には、電子電流、ホール電流、再結合密度の広がりと比較した表を示す。これは、a 構造の場合と b 構造の場合についてシミュレーションし、その結果得られた第 13 図～第 15 図と同様の密度分布の値を一定条件下で比較したものである。

第 19 図 (A) において、 y_{-2} は、それぞれの密度分布図において表面から $2\mu\text{m}$ の深さで水平方向に切ったときの断面で、各密度が 10^5cm^{-3} になるところの X 方向の幅を μm の単位で表した数値である。

X_{-0} は第 12 図に示す座標において $X = 0\mu\text{m}$ の Y 方向の断面において各密度が 10^5cm^{-3} になるところの表面から深さを μm の単位で表した数値である。

掛け算とは y_{-2} の値と X_{-0} の値を掛け合わせた値で、各密度における 10^5cm^{-3} のポイントをなぞってつなぎ合わせたときにできる図形の面積を擬似的に比較するための値である。すなわち掛け算とはそれぞれ電子、ホール、再結合の各広がりを表す指標である。

また、表中 a 構造とは、第 1 N+領域 201、第 2 N+領域 202 とも $51\mu\text{m}$ ($=\alpha_1=\alpha_2$) の幅で、第 2 N+領域 202 をプラス、第 1 N+領域をマイナスにして奥行き $1\mu\text{m}$ にした a 構造であり、 0.174A 流した計算結果である。

b 構造—1 は、第 1 N+領域 201 の幅 α_1 を $3\mu\text{m}$ 、第 2 N+領域 202 の幅 α_2 を $51\mu\text{m}$ にして第 2 N+領域 202 をプラス、第 1 N+領域をマイナス

にした b 構造であり、奥行き $1\ \mu\text{m}$ で $0.174\ \text{A}$ 流した計算結果である。

b 構造 - 2 は、b 構造 - 1 と印加する極性を逆にし、第 1 N + 領域 2 0 1 の幅 α_1 を $3\ \mu\text{m}$ 、第 2 N + 領域 2 0 2 の幅 α_2 を $51\ \mu\text{m}$ にして第 1 N + 領域をプラス、第 2 N + 領域をマイナスにした b 構造であり、奥行き $1\ \mu\text{m}$ で $0.174\ \text{A}$ 流した計算結果である。

以上の 3 つの各密度におけるすべての掛け算は b 構造 - 1、b 構造 - 2 共に a 構造より大きな値となっている。

このことは第 1 N + 領域 2 0 1 がプラスであっても、第 2 N + 領域 2 0 2 がプラスであっても、いずれの極性においても b 構造の方が a 構造より電子電流、ホール電流、再結合のいずれも広い範囲に分布することを表しており、その分伝導度変調効率が高くなることを表している。さらに電流が広い範囲に渡って流れることは温度が低下することを示しておりその分移動度が上がり、さらに電流が増えることを表している。

ここで、第 19 図 (B) に、b 構造 - 3 として、第 1 N + 領域 2 0 1 にプラスを印加した場合で、1 A の場合の b 構造の計算結果を示す。第 19 図 (A) の 3 つの計算は計算能力の点からいずれも $0.174\ \text{A}$ の電流に統一して比較したが、実際の静電気の電流は静電気電圧 $700\ \text{V}$ 、 $220\ \text{pF}$ 、 $0\ \Omega$ の場合奥行き $1\ \mu\text{m}$ で $1\ \text{A}$ 程度である。シミュレーションにより第 1 N + 領域 2 0 1 にプラスを印加した場合のみ $1\ \text{A}$ の計算ができたのでその結果を示す。

第 19 図 (A) の b 構造 - 2 と比較して、b 構造 - 3 では同じ極性でも $0.174\ \text{A}$ から $1\ \text{A}$ に電流を増やして計算すると各掛け算の値が 1 桁あるいはそれ以上増加するのがわかる。

このことから、第 19 図 (C) のごとく、保護素子 2 0 0 により高い静電気電圧が印加され、第 13 図およびその模式図である第 16 図 (B) で示した電流よりも多くの静電気電流が流れた場合、絶縁領域 2 0 3 が十分広ければ、第 13 図で示した q 1 領域 (最も高密度領域の 1 割程度の電流密度の領域) はさらに下方および対向面 O S と逆側の外側方向に広がることになり、すなわち第 2 の電流経

路 I 2 が広がる。第 2 の電流経路 I 2 が広くなればなるほど、伝導度変調効率をより上昇させることができ、通過する電流が増えて q 1 領域が下方に広がるのでさらに第 2 の電流経路 I 2 が広がる。これにより、基板の結晶温度が低下するので、キャリアの移動度をより上昇させ、電流をより多く流して保護効果をさらに向上させることができる。

つまり、b 構造では、印加される静電気の電圧が高くなればなるほど、伝導度変調効率がますます上がり、電流経路が大きく広がるので、伝導度変調効果を自動調整することができる。

また第 1 の電流経路 I 1 も静電気の電圧が高くなればなるほどより深いところに電流が流れるようになり、第 2 の電流経路 I 2 同様に伝導度変調効果を自動調整することができる。

従って、後に詳述するが第 2 の電流経路 I 2 となり得る絶縁領域 2 0 3 を十分確保すれば、220 pF、0 Ω で 2500 V の静電気からも被保護素子を破壊から守ることができる構造となっている。しかも寄生容量をほとんど持たないため被保護素子の高周波特性を劣化させない。すなわち元々静電破壊電圧 100 V 程度の素子に寄生容量 20 fF の本保護素子を接続することにより静電破壊電圧を 20 倍以上向上させることができる。

ここで、第 20 図を用いて、b 構造の $\alpha 1$ が 5 μm 以下が望ましい理由を説明する。第 20 図は、第 19 図の b 構造 - 2 における電子電流密度を第 1 N + 領域 2 0 1 の幅 $\alpha 1$ を変えて計算したものである。

第 1 N + 領域 2 0 1 の幅 $\alpha 1$ を 5 μm 以下にすると急激に第 2 電流経路 I 2 の比率が上昇する。すなわち電流が水平方向と深さ方向に広がるので、その分伝導度変調効率が上がり、温度が低下してキャリアの移動度が増すため電流値が大幅に増加し、保護素子としての保護効果が大きく増す。

ここで、第 18 図に示す $\alpha 1 = 3 \mu\text{m}$ の第 2 電流経路 I 2 の比率が 0.48 であるのに対し、上の第 20 図で同じ第 1 N + 領域 + で第 1 N + 領域幅 3 μm のポイントの I 2 比率が 0.3 しかないのは第 20 図が 0.174 A で第 18 図が 1

Aであるため、ある一定電流値までは電流が多い方が第2電流経路I2の比率が大きくなることがわかる。尚、大きいデバイスをシミュレーションする際の計算能力の限界のため0.174Aで比較したが、相対比較であればこの電流値で十分比較できる。

次に、第1N+型領域201の外側に確保すべき絶縁領域203の幅 β について説明する。上述の如く、第2の電流経路I2は、第1N+型領域201の対向面OSと逆側の絶縁領域203にも第2の電流経路I2が広がるため、ここに十分な幅 β の絶縁領域203を確保するとよい。

第21図を参照してb構造の β と静電破壊電圧について説明する。絶縁領域203を十分に確保することは、第2の電流経路I2となり得る領域を十分確保することになり保護効果が高い点については前述のとおりである。つまり第21図(A)の平面図ように対向面OSと逆側に所定の絶縁領域幅 β 確保する。第21図(B)は実際に β の値を変動させて静電破壊電圧を調べた結果を示す。

測定した被保護素子100はゲート長 $0.5\mu\text{m}$ 、ゲート幅 $600\mu\text{m}$ のGaAs MESFETのゲートに $10\text{K}\Omega$ の抵抗を直列に接続した素子である。保護素子200接続前は、ソースまたはドレーン電極と抵抗端との間の静電破壊電圧は100V程度である。この間にb構造の保護素子200の第1N+型領域201と第2N+型領域202の両端を並列接続し、 β の値を変化させて静電破壊電圧を測定した。第1N+型領域201と第2N+型領域202間の容量は20fFである。

第21図(B)に示すとおり β を $25\mu\text{m}$ まで大きくすると静電破壊電圧は2500Vまで向上した。第21図(A)に示す β が $15\mu\text{m}$ のときの静電破壊電圧は700Vである。このことは静電気電圧を700Vから2500Vまで上げたとき第1N+型領域201において第2の電流経路I2は対向面OSと逆側の外側方向(β)に $15\mu\text{m}$ 以上は伸びていることを示す。

静電気電圧が高くなるということは、その分第2の電流経路I2が広がるということである。つまり、絶縁領域203が十分に確保されていない場合は、第2

の電流経路 I 2 の広がりが増え、絶縁領域 2 0 3 を十分に確保することにより、第 2 の電流経路 I 2 を十分広げることができる。

すなわち、b 構造では、第 1 N+ 型領域 2 0 1 の外側の絶縁領域 2 0 3 幅 β を $10\ \mu\text{m}$ 以上、好適には $15\ \mu\text{m}$ 以上確保すれば、第 2 の電流経路 I 2 をより広くして伝導度変調効率をより上昇させることができる。

a 構造においては、保護素子を接続した場合に 2 倍～3 倍程度までしか静電破壊電圧を上げることができなかったが、b 構造では β が $15\ \mu\text{m}$ の場合静電破壊電圧が 700V 、 β を $25\ \mu\text{m}$ まで伸ばすと 2500V となり、静電破壊電圧が 2.5 倍まで上がることが確認されている。すなわち b 構造では所定の β を確保すれば従来の保護素子に比べ少なくとも約 10 倍の電流を流すことができる。

前述のとおり第 1 の電流経路 I 1 に流れる電流と第 2 の電流経路に I 2 に流れる電流はほぼ同等であり、従来の保護素子に流れる電流の少なくとも 10 倍の電流を流すことができるということは、第 1 の電流経路 I 1、第 2 の電流経路 I 2 とも各電流経路に流れる電流は従来のそれぞれ少なくとも 5 倍であることがわかる。

このように、 β は $10\ \mu\text{m}$ 以上が望ましく、これは、チップ上に保護素子 2 0 0 を集積化する際には、第 1 N+ 型領域 2 0 1 外側には、幅 β の絶縁領域 2 0 3 を確保して他の構成要素や配線等を配置することを意味する。

同様に、第 2 2 図の如く、第 2 の電流経路 I 2 を確保するために深さ方向にも十分な絶縁領域を確保することが望ましい。第 2 2 図 (A) は、断面図であり、第 1 N+ 型領域 2 0 1 および第 2 N+ 型領域 2 0 2 下方に所定の深さ δ の絶縁領域 2 0 3 を確保する。

第 2 2 図 (B) に、第 1 N+ 型領域 2 0 1 をプラスにして、 220pF 、 $0\ \Omega$ で 700V の静電気電圧が印加されたことを想定して $1\ \mu\text{m}$ の奥行きに 1A を流すシミュレーションを行い、座標 $X = 0\ \mu\text{m}$ における Y 方向断面の電子電流密度のグラフを示す。このグラフで表面から電子電流密度を深さ方向に積分していったとき、深さ (Y) $19\ \mu\text{m}$ までの積分 (ハッチング部分) が全体 $50\ \mu\text{m}$ まで

の積分の90%であることがわかった。すなわち絶縁領域203の深さ δ は20 μm 以上が好適である。

以上、保護素子200周辺に確保すべき絶縁領域203のサイズ(β や δ)と、第1N+型領域201の幅(α 1)について説明したが、チップ上の配置によっては、十分な β や δ 、または対向面OS間の距離が確保できない場合がある。

その場合には、第23図の平面図の如く、第1N+型領域201を対向面OSから離間する方向に曲折して延在部300を設け、対向面OSを延在した方向に所定の絶縁領域 γ を確保して、延在部300と第2のN+型領域間の絶縁領域203に、伝導度変調効率の高い電子電流およびホール電流の経路となる第3の電流経路I3を形成するとよい。

第3の電流経路I3は、対向面OSを延在した方向(対向面OSに直交する面から離間する方向)、すなわち延在部300および第2N+型領域202の外側方向により大きな電流経路を確保できる。図では平面的に示しているが紙面に垂直な方向(装置の深さ方向)にも第3の電流経路I3が形成されるため、深さ方向の電流も増加する。尚、対向面OSの深さ方向(紙面に垂直方向)には、第1の電流経路I1および第2の電流経路I2が形成され、保護素子の電流経路は第1、第2、第3の電流経路I1~I3となる。

第23図(B)に γ と静電破壊電圧の比較を実際に測定した値で示す。被保護素子100、保護素子200の接続方法は第21図で β の値を変動させ静電破壊電圧を測定したときと同じである。

第23図(B)に示すとおり γ を30 μm まで大きくすると静電破壊電圧は1200Vまで向上した。 γ が25 μm のときの静電破壊電圧は700Vである。このことは静電気電圧を700Vから1200Vまで上げたとき第3の電流経路I3は、延在部300と第2のN+型領域間の前記絶縁領域に25 μm 以上伸びていることを示す。

このように、延在部300を設けた場合でも、静電気の電圧が高くなればなるほど、電流経路I3をより広くして伝導度変調効率をより上昇させることができ

る。つまり、印加される静電気の電圧によって伝導度変調効果を自動調整することができる。これにより絶縁領域の温度が低減し、キャリアの移動度をより上昇させることができるので、電流をより多く流し、保護効果が向上する。

すなわち延在部 300 も周囲に十分な絶縁領域 203 を確保することが望ましく、 γ を十分確保することにより第 3 の電流経路 I 3 が十分に広がるスペースが確保でき、静電気電圧に応じた静電気電流をより多く流すことができる。したがって幅 γ は $10\ \mu\text{m}$ 以上がのぞましく、 $20\ \mu\text{m}$ 以上有るとさらに好適である。尚、第 23 図 (A) では γ は延在部 300 の外側 (図の右側) に確保しているが、延在部 30 を中心として対称となる内側 (図の左側) にも確保し、すなわち、延在部 300 の両方の側面側に γ を確保すればより効果が向上する。

尚、 β を確保した上で γ を確保するのが最適だが、 β が不十分であっても γ を確保することで保護素子の効果が向上する。

第 24 図には、第 1 N+ 型領域 201 および第 2 N+ 型領域 202 が共に $5\ \mu\text{m}$ 以下の場合 (以下 c 構造と称する) の電流経路の模式図を示す。

c 構造は、b 構造における第 2 の N+ 型領域 202 の幅 α_2 を、第 1 の N+ 型領域 α_1 と同等に狭めた構造であり、互いに $4\ \mu\text{m}$ 程度の離間距離で対向配置され、周囲に絶縁領域 203 が配置されている。c 構造においても、第 1 の電流経路 I 1 及び第 2 の電流経路 I 2 が形成される。

第 1 の電流経路 I 1 は、基板表面から第 1 および第 2 N+ 型領域の対向面 OS 間および両領域の底面付近間の絶縁領域 203 に形成され、電子電流およびホール電流の経路となる。

第 2 の電流経路 I 2 は、第 1 および第 2 の N+ 型領域よりも十分深い領域を迂回し、互いに両領域の対向面 OS と逆側の側面に達して形成される。すなわち、第 1 N+ 型領域 201 も第 2 N+ 型領域 202 も、対向面 OS と逆の外側の側面を電流経路として利用でき、第 1 の電流経路 I 1 より深い領域に第 2 の電流経路 I 2 が形成される。

さらに、第 1 N+ 型領域 201 は、第 25 図の如く、対向面 OS から離間する

方向に曲折した延在部 300a を設け、延在部 300a と第 2N+型領域 202 の絶縁領域に、伝導度変調を起こす電子電流およびホール電流の経路となる第 3 の電流経路 I3 を形成してもよい。

また、同様に第 2 の N+型領域 202 は、対向面 OS から離間する方向に曲折した延在部 300b を設け、延在部 300b と第 1N+型領域 201 の絶縁領域に、伝導度変調を起こす電子電流およびホール電流の経路となる第 3 の電流経路 I3 を形成してもよい。

延在部 300a、300b はいずれか一方でもよいし、両領域に設けてもよい。これにより第 25 図の如く電流経路 I3 が形成されるので、電流値が増加し保護効果が増大する。

尚、 β 、 γ 、 δ の値は、上述した値が好適であるが、それ以下であっても a 構造と比較してより大きな電流経路が確保できるが、できるだけ各値を確保するパターンにする方がよい。

すなわち、保護素子 200 を構成する第 1N+型領域 201（c 構造の場合は第 2N+型領域 202 も）の周囲の絶縁領域 203 には、第 2 の電流経路 I2 または第 3 の電流経路 I3 を阻害しないように十分なスペース（ β 、 γ ）を確保し、保護素子 200 が接続する被保護素子 100 や他の構成要素および配線等は、第 1N+型領域 201 から外側に $10\mu\text{m}$ 程度以上離間して配置するとよい。また、チップ端部も電流経路を阻害することになるので、第 1N+型領域 201 がチップ端部に配置されるパターンの場合には、チップ端部までの距離を $10\mu\text{m}$ 程度以上確保するとよい。

第 26 図には、チップ上に被保護素子 100 と保護素子 200 を集積化した一例を示す。

第 26 図は、GaAs MESFET のチップパターンの一例である。GaAs 基板 203 に FET を配置し、FET のゲート電極 106 に抵抗 R が接続されている。ソース電極パッド SP、ドレイン電極パッド DP、さらに抵抗 R のもう一方の端にゲート電極パッド GP が FET の周囲にそれぞれ設けられている。

ここで、各パッドの下及び周辺には、各パッドから高周波信号が漏れないよう、アイソレーション対策として、パッドN+領域350が配置されている。各パッドの一番下のゲート金属層320はGaAs半絶縁性基板とショットキ接合を形成しており、そのパッドN+領域350と各パッドはショットキ接合を形成している。

つまり、第26図(A)は抵抗Rをドレイン電極パッドDPに近接して配置することにより、抵抗Rを構成するN+型領域と近接するパッドN+型領域350の離間距離は $4\mu\text{m}$ となり、周囲に絶縁領域203が配置されて保護素子200となる。抵抗Rの一部が第1N+型領域201であり、ドレイン電極パッドDPの下及び周辺のパッドN+型領域350の一部が第2N+型領域202である。すなわち、FETのゲートドレイン端子間に並列に保護素子200を接続したことになる。このパターンにおいて抵抗Rの幅が $\alpha 1$ であり、 $5\mu\text{m}$ 以下とする。また第1N+型領域201となる抵抗Rの外側の絶縁領域203の幅 β を $10\mu\text{m}$ 以上確保して、他の構成要素を配置する。このパターンの場合 β の端はチップ端であり抵抗Rからチップ端までの距離 β を $10\mu\text{m}$ 以上確保する。

また、第26図(B)も同じく抵抗Rをドレイン電極パッドDPに近接して配置することにより、抵抗Rを構成するN+型領域と近接するパッドN+型領域350の離間距離は $4\mu\text{m}$ となり、半絶縁性基板101を挟んで保護素子200となる。同様に抵抗Rの一部が第1N+型領域201であり、ドレイン電極パッドDPの下及び周辺のパッドN+型領域350の一部が第2N+型領域202である。すなわち、FETのゲートドレイン端子間に並列に保護素子200を接続したことになる。

このパターンにおいても抵抗Rの幅が $\alpha 1$ であり、 $5\mu\text{m}$ 以下とする。また第1N+型領域201となる抵抗Rの外側の絶縁領域203の幅 β を $10\mu\text{m}$ 以上確保して、他の構成要素を配置する。しかしながら第26図(B)では第26図(A)に比べて β の距離が若干短く、さらに β が $10\mu\text{m}$ 以上確保できる幅も狭い。その分第26図(A)に比べて電流経路I2に流れる電流が少なくなる。そ

の対策として抵抗 R の一部を曲折して延在部300を設け、ドレインパッド下及び周辺の $N+$ 領域350との間に電流経路 I_3 を流せる領域を確保した。このパターンの場合には抵抗延在部300とチップ端の間と、ドレインパッド下及び周辺の $N+$ 領域350とチップ端の間の絶縁領域が電流経路 I_3 を流せる領域である。この幅 γ は $10\mu m$ 以上確保して保護素子200を形成する。すなわち第26図(A)に比べ第26図(B)は電流経路 I_2 に流れる電流が少ない分、第26図(A)には存在しなかった電流経路 I_3 を形成し静電気から十分GaAs MESFETのゲートドレイン間のショットキ接合を保護している。

このように、本実施形態の保護素子200は、第1 $N+$ 型領域201および第2 $N+$ 型領域の少なくともどちらか一方の高濃度領域の幅を $5\mu m$ 以下とし、周囲に十分な絶縁領域(β 、 γ)を確保して、被保護素子となる2端子間に配置する。

以上絶縁領域203がGaAsの場合を例に説明したが、絶縁領域203は上述の如く基板に不純物を注入・拡散して絶縁化した領域(203b)でもよく、その場合シリコン基板でも同様に実施できる。

発明の効果

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

第1に、静電破壊しやすいPN接合又は、ショットキ接合を含む被保護素子、あるいは容量を構成する被保護素子の2端子間に、高濃度領域—絶縁領域—高濃度領域からなる保護素子を並列接続することにより、外部から印加される静電エネルギーをバイパスさせることができる。これにより保護素子が接続された端子間では、静電破壊に弱い接合や容量が存在する動作領域に至る経路途中で保護素子により静電エネルギーが放電されるので、静電破壊から被保護素子を保護することができる。

第2に、保護素子は、高濃度領域—絶縁領域—高濃度領域からなり、PN接合を有さないため、保護素子自体の寄生容量が発生しない。被保護素子と同一基板

で保護素子を作りこむことができ、寄生容量の増加をほとんど伴わず、従って高周波特性を劣化させずに、被保護素子の静電破壊を防ぐことができる。

第 3 に、保護素子を接続することにより、最低静電破壊電圧となる 2 端子間の静電破壊電圧を 20 V 以上向上させることができ、200 V 以上にできる。

第 4 に、被保護素子の端子と接続するパッドに近接して保護素子を接続することにより、静電エネルギーの印加直後に放電することができ、より静電破壊耐圧の向上に寄与できる。

第 5 に、被保護素子の端子と接続するボンディングパッドから動作領域への経路途中に保護素子を接続することにより、最も効果的に動作領域の静電破壊に弱い接合や容量を静電破壊から保護できる。

第 6 に、保護素子は、静電エネルギーを放電する面が、水平面となる保護ダイオードと異なり、垂直面になるため、チップ面積の増大をほとんど招くことなく、これを集積化することができるものである。

第 7 に、保護素子 200 は、保護素子の端子となる第 1 N+ 型領域 201 および第 2 N+ 型領域の少なくともどちらか一方の高濃度領域の幅を $5\ \mu\text{m}$ 以下とすることにより、絶縁領域 203 に第 2 の電流経路 I 2 が形成され、電子電流、ホール電流、再結合のいずれも広い範囲に分布し、その分伝導度変調効率が高くなる。

第 8 に、第 2 の電流経路 I 2 により電流が広い範囲に渡って流れるため温度が低下し、その分キャリアの移動度が上がり、さらに電流が増える。

第 9 に、第 2 の電流経路 I 2 により、印加される静電気の電圧が高くなればなるほど伝導度変調効率がますます上がり、電流経路が大きく広がるので、伝導度変調効果を自動調整することができる。

第 10 に、保護素子の一方の端子となる高濃度領域の幅を $5\ \mu\text{m}$ 以下とすることで、第 1 の電流経路 I 1 も静電気の電圧が高くなればなるほどより深いところに電流が流れるようになり、第 2 の電流経路 I 2 同様に伝導度変調効果を自動調整することができる。

第 1 1 に、第 2 の電流経路 I 2 となり得る絶縁領域 2 0 3 を十分確保することにより、静電破壊電圧を 2 0 倍以上向上させることができる

第 1 2 に、b 構造では、第 1 N+型領域 2 0 1 の外側の絶縁領域 2 0 3 幅 β を $10\ \mu\text{m}$ 以上確保すれば、第 2 の電流経路 I 2 をより広くして伝導度変調効率をより上昇させることができる。具体的には β を $25\ \mu\text{m}$ 確保すれば a 構造の保護素子に比べ少なくとも約 10 倍の電流を流すことができる。

第 1 3 に、チップ上の配置によって、十分な β や δ 、または対向面 O S 間の距離が確保できない場合には、第 1 N+型領域 2 0 1 を対向面 O S から離間する方向に曲折して延在部 3 0 0 を設け、延在部 3 0 0 と他の構成要素との間に幅 (γ) $10\ \mu\text{m}$ 以上の絶縁領域 2 0 3 を確保し、延在部 3 0 0 と第 2 N+型領域 2 0 2 間に伝導度変調効率の高い電子電流およびホール電流の経路となる第 3 の電流経路 I 3 を形成する。

これにより、延在部 3 0 0 および第 2 N+型領域 2 0 2 の外側方向により大きな電流経路を確保できる。装置の深さ方向にも第 3 の電流経路 I 3 が形成されるため、深さ方向の電流も増加する。

図面の簡単な説明

第 1 図は本発明を説明するための概念図であり、第 2 図 (A) は本発明を説明するための断面図であり、第 2 図 (B) は本発明を説明するための断面図であり、第 2 図 (C) は本発明を説明するための断面図であり、第 2 図 (D) は本発明を説明するための断面図であり、第 3 図 (A) は本発明を説明するための断面図であり、第 3 図 (B) は本発明を説明するための断面図であり、第 4 図 (A) は本発明を説明するための平面図であり、第 4 図 (B) は本発明を説明するための断面図であり、第 4 図 (C) は本発明を説明する等価回路図であり、第 5 図 (A) は本発明を説明するための平面図であり、第 5 図 (B) は本発明を説明する断面図であり、第 6 図は本発明を説明するための平面図であり、第 7 図 (A) は本発明を説明するための平面図であり、第 7 図 (B) は本発明を説明するための等価

回路図であり、第 8 図 (A) は本発明を説明するための平面図であり、第 8 図 (B) は本発明を説明する等価回路図であり、第 8 図 (C) は本発明を説明する等価回路図であり、第 9 図 (A) は本発明を説明するための平面図であり、第 9 図 (B) は本発明を説明する断面図であり、第 9 図 (C) は本発明を説明する等価回路図であり、第 10 図 (A) は本発明を説明するための平面図であり、第 10 図 (B) は本発明を説明する等価回路図であり、第 10 図 (C) は本発明を説明する等価回路図であり、第 11 図 (A) は従来例を説明するための等価回路図であり、第 11 図 (B) は従来例を説明するための等価回路図であり、第 11 図 (C) は従来例を説明するための等価回路図であり、第 12 図は本発明のデバイスシミュレーションの断面モデル図であり、第 13 図は本発明の電子電流密度分布図であり、第 14 図は本発明のホール電流密度分布図であり、第 15 図は本発明の再結合密度分布図であり、第 16 図 (A) は a 構造の電流経路概要図であり、第 16 図 (B) は b 構造の電流経路概要図であり、第 17 図は本発明の電流－電圧特性図であり、第 18 図は本発明のシミュレーション結果であり、第 19 図 (A) は本発明のシミュレーション結果であり、第 19 図 (B) は本発明のシミュレーション結果であり、第 19 図 (C) は b 構造の電流経路概要図であり、第 20 図は本発明のシミュレーション結果であり、第 21 図 (A) は本発明のシミュレーション結果であり、第 21 図 (B) は本発明の平面概要図であり、第 22 図 (A) は本発明の断面概要図であり、第 22 図 (B) は本発明のシミュレーション結果であり、第 23 図 (A) は、本発明の平面概要図であり、第 23 図 (B) は本発明のシミュレーション結果であり、第 24 図は c 構造の電流経路概要図であり、第 25 図は本発明の平面概要図であり、第 26 図 (A) は本発明を説明する平面図であり、第 26 図 (B) は本発明を説明する平面図である。

請 求 の 範 囲

1. 2つの側面を有する第1の高濃度不純物領域と、

前記第1の高濃度不純物領域の1つの側面に対向配置され、該第1の高濃度不純物領域よりもその幅が十分広い第2の高濃度不純物領域と、

前記前記第1および第2の高濃度不純物領域の周囲に配置される絶縁領域と、

前記第1および第2の高濃度不純物領域の対向面間および該両領域の底面付近間の前記絶縁領域に形成され、電子電流およびホール電流の経路となる第1の電流経路と、

前記第2の高濃度不純物領域から、前記第1および第2の高濃度不純物領域よりも十分深い領域を迂回して前記第1の高濃度不純物領域の他の側面に至る前記絶縁領域に形成され、電子電流およびホール電流の経路となる第2の電流経路とを具備し、

前記第1および第2の高濃度不純物領域を2端子として、被保護素子の2端子間に並列に接続し、

前記被保護素子の2端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴とする保護素子。

2. 前記第1の高濃度不純物領域を前記第2の高濃度不純物領域との前記対向面から離間する方向に曲折した延在部を設け、該延在部と前記第2の高濃度不純物領域間の前記絶縁領域に、電子電流およびホール電流の経路となる第3の電流経路を形成することを特徴とする請求の範囲第1項に記載の保護素子。

3. 2つの側面を有する第1の高濃度不純物領域と、

2つの側面を有し、前記第1の高濃度不純物領域と同等の幅で該領域と互いに1つの側面に対向配置した第2の高濃度不純物領域と、

前記前記第1および第2の高濃度不純物領域の周囲に配置される絶縁領域と、

前記第1および第2の高濃度不純物領域の対向面間および該両領域の底面付近間の前記絶縁領域に形成され、電子電流およびホール電流の経路となる第1の電

流経路と、

前記第2の高濃度不純物領域の他の側面から、前記第1および第2の高濃度不純物領域よりも十分深い領域を迂回して前記第1の高濃度不純物領域の他の側面に至る前記絶縁領域に形成され、電子電流およびホール電流の経路となる第2の電流経路とを具備し、

前記第1および第2の高濃度不純物領域を2端子として、被保護素子の2端子間に並列に接続し、

前記被保護素子の2端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴とする保護素子。

4. 前記第1の高濃度不純物領域を前記第2の高濃度不純物領域との前記対向面から離間する方向に曲折した延在部を設け、該延在部と前記第2の高濃度不純物領域間の前記絶縁領域に、電子電流およびホール電流の経路となる第3の電流経路を形成することを特徴とする請求の範囲第3項に記載の保護素子。

5. 前記第2の高濃度不純物領域を前記第1の高濃度不純物領域との前記対向面から離間する方向に曲折した延在部を設け、該延在部と前記第1の高濃度不純物領域間の前記絶縁領域に、電子電流およびホール電流の経路となる第3の電流経路を形成することを特徴とする請求の範囲第3項に記載の保護素子。

6. 第1の高濃度不純物領域は、 $5\ \mu\text{m}$ 以下の幅であることを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

7. 前記第2の電流経路は、前記第1の電流経路よりも遙かに高い伝導度変調効率を有することを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

8. 前記第2の電流経路を通過する電流値は、前記第1の電流経路を通過する電流値と同等以上であることを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

9. 第2の電流経路は、前記第1の高濃度不純物領域の前記他の側面から1

0 μm 以上の幅を確保して形成されることを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

10. 前記第2の電流経路は、前記第1および第2の高濃度不純物領域底部から深さ方向に20 μm 以上の幅を確保して形成されることを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

11. 前記第2の電流経路は、前記静電気エネルギーの増加に従って電流経路が大きく広がることにより伝導度変調効率が向上することを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

12. 第1の高濃度領域と第2の高濃度領域間の容量が40 fF以下で、被保護素子の2端子間に、第1の高濃度領域と第2の高濃度領域の2端子を並列に接続することにより、接続前と比べて静電破壊電圧が10倍以上向上することを特徴とする請求の範囲第1項または請求の範囲第3項に記載の保護素子。

13. 前記第3の電流経路は、前記第1の電流経路よりも遙かに高い伝導度変調効率を有することを特徴とする請求の範囲第2項または請求の範囲第4項または請求の範囲第5項に記載の保護素子。

14. 第3の電流経路は、前記曲折部の側面から10 μm 以上の幅を確保して形成されることを特徴とする請求の範囲第2項または請求の範囲第4項または請求の範囲第5項のいずれかに記載の保護素子。

15. 前記第3の電流経路は、前記静電気エネルギーの増加に従って電流経路が大きく広がることにより伝導度変調効率が向上することを特徴とする請求の範囲第2項または請求の範囲第4項または請求の範囲第5項のいずれかに記載の保護素子。

16. 第1の高濃度不純物領域と、
第2の高濃度不純物領域と、
前記第1および第2の高濃度不純物領域の周囲に当接して配置された絶縁領域とを有し、

前記第1および第2の高濃度不純物領域の少なくとも一方において、前記両高

濃度不純物領域が対向する面と逆側の前記絶縁領域を $10\ \mu\text{m}$ 以上確保し、

前記第 1 および第 2 の高濃度不純物領域を 2 端子として、PN 接合またはショットキ接合を有する被保護素子の 2 端子間に並列に接続し、

前記被保護素子の 2 端子間に印加される静電エネルギーを前記第 1 および第 2 の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴とする保護素子。

17. 第 1 の高濃度不純物領域と、

第 2 の高濃度不純物領域と、

前記第 1 および第 2 の高濃度不純物領域の周囲に当接して配置された絶縁領域とを有し、

前記第 1 および第 2 の高濃度不純物領域の少なくとも一方において、前記両高濃度不純物領域が対向する面と逆側の前記絶縁領域を $10\ \mu\text{m}$ 以上確保し、

前記第 1 および第 2 の高濃度不純物領域を 2 端子として、容量を構成する被保護素子の 2 端子間に並列に接続し、

前記被保護素子の 2 端子間に印加される静電エネルギーを前記第 1 および第 2 の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴とする保護素子。

18. 第 1 の高濃度不純物領域と、

第 2 の高濃度不純物領域と、

前記第 1 および第 2 の高濃度不純物領域の周囲に当接して配置された絶縁領域とを有し、

前記第 1 および第 2 の高濃度不純物領域が対向する面の延在方向に前記絶縁領域を $10\ \mu\text{m}$ 以上確保し、

前記第 1 および第 2 の高濃度不純物領域を 2 端子として、PN 接合またはショットキ接合を有する被保護素子の 2 端子間に並列に接続し、

前記被保護素子の 2 端子間に印加される静電エネルギーを前記第 1 および第 2 の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴

とする保護素子。

19. 第1の高濃度不純物領域と、

第2の高濃度不純物領域と、

前記第1および第2の高濃度不純物領域の周囲に当接して配置された絶縁領域とを有し、

前記第1および第2の高濃度不純物領域が対向する面の延在方向に前記絶縁領域を $10\mu\text{m}$ 以上確保し、

前記第1および第2の高濃度不純物領域を2端子として、容量を構成する被保護素子の2端子間に並列に接続し、

前記被保護素子の2端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記静電エネルギーを減衰させることを特徴とする保護素子。

要 約 書

課題

マイクロ波 F E T では、内在するショットキ接合容量または P N 接合容量が小さく、それらの接合が静電気に弱い。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手法を取ることができなかったという問題があった。

解決手段

P N 接合、ショットキ接合、または容量を有する被保護素子の 2 端子間に第 1 N + 型領域－絶縁領域－第 2 N + 型領域からなる保護素子を並列に接続する。近接した第 1、第 2 N + 領域間で放電できるので、寄生容量を増やすことなく F E T の動作領域に至る静電エネルギーを減衰させることができる。